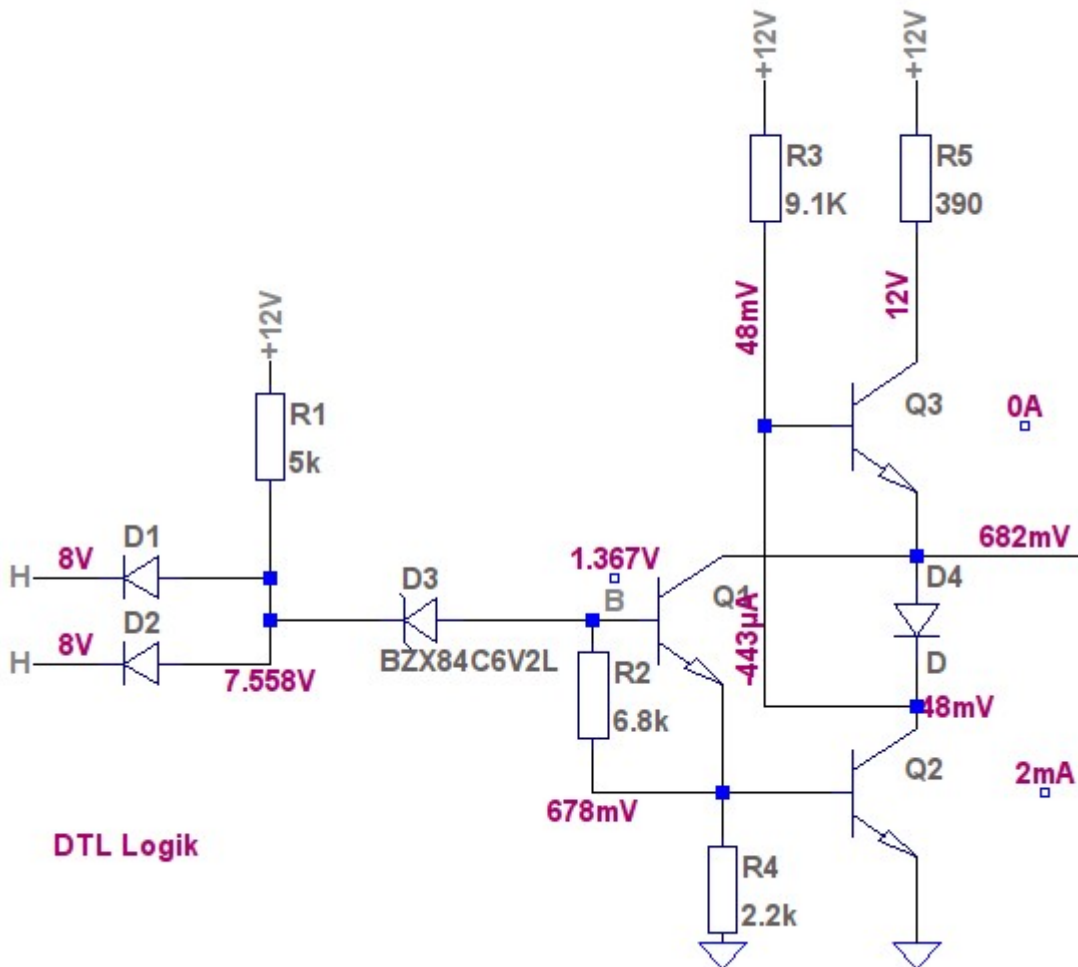


LSL



Die folgenden Überlegungen gelten für idealisierte Dioden (auch die BE-Diode der Transistoren) mit 0.7V Flussspannung, die Simulation weicht daher etwas ab.

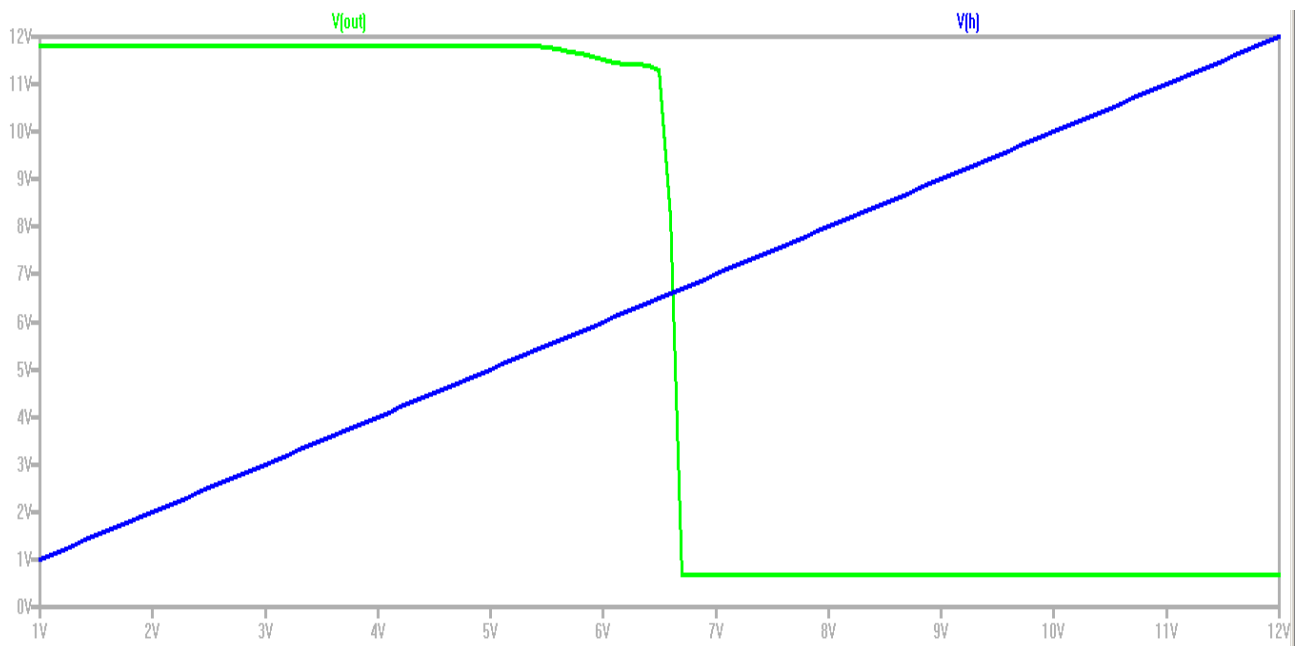
D1 und D2 bilden eine UND-Verknüpfung; die D3 ist eine 6.2VZ-Diode und führt zu einer hohen Störsicherheit der Schaltung, da die Pegel am Eingang sehr hoch sein müssen, um die Transistoren Q1 und Q2 einzuschalten.

Nur wenn an der Kathode von D3 ein Potenzial von $6.2 + 0.7 + 0.7 = 7.6\text{V}$ liegt fließt Basisstrom für Q1 und Q2 und der Ausgang schaltet auf LOW. Beide Eingänge müssen dann eine Spannung höher als 6.9V haben (wenn ein Eingang z.B. 6V betragen würde, dann wäre die Diode leitend und würde einen Pegel von 6.7V an D3 erzwingen).

Im Beispiel oben sind beide Eingänge auf 8V. D1 und D2 sperren, D3 und die beiden BE-Dioden der Transistoren machen einen Kurzschluss mit 0.7V Spannungsabfall. An der Kathode(D3) liegt daher ca. $0.7 + 0.7 + 6.2 = 7.6\text{V}$

Die Transistoren Q2 und Q1 leiten; der Pegel am Ausgang ist daher $0.7 + 0.1 = 0.8\text{V}$; an C(Q2) liegt 0.1V, an D4 0.7V d.h. Auch D4 leitet und macht über Q2 eine starke Null (0.8V).

Wenn Q2 sperrt, dann sperrt auch D4 und die Basis von Q3 wird über den Widerstand auf die Versorgungsspannung gezogen, Q3 schaltet also ein.



man sieht: die Spannung High steigt über 6.6V und die Stufe schaltet